

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :  
Yasuo KOHASHI :  
Serial No. NEW : **Attn: APPLICATION BRANCH**  
Filed April 12, 2004 : Attorney Docket No. 2004\_0556A  
INTEGRATED CIRCUIT, DEVICE AND :  
METHOD FOR INPUTTING/OUTPUTTING :  
IMAGES :

**CLAIM OF PRIORITY UNDER 35 USC 119**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED  
TO CHARGE ANY DEFICIENCY IN THE  
FEES FOR THIS PAPER TO DEPOSIT  
ACCOUNT NO. 23-0975

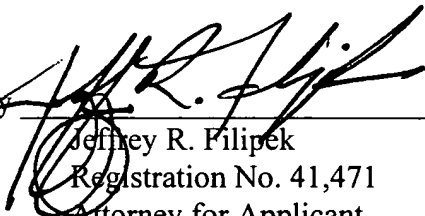
Sir:

Applicant in the above-entitled application hereby claims the date of priority under the International Convention of Japanese Patent Application No. 2003-116050, filed April 21, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Yasuo KOHASHI

By   
Jeffrey R. Filipek  
Registration No. 41,471  
Attorney for Applicant

JRF/fs  
Washington, D.C. 20006-1021  
Telephone (202) 721-8200  
Facsimile (202) 721-8250  
April 12, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   4 月 2 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 1 1 6 0 5 0  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 1 1 6 0 5 0 ]

出   願   人            松 下 電 器 産 業 株 式 有 限 公 司  
Applicant(s):

2 0 0 3 年 1 1 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号   出証特 2 0 0 3 - 3 0 9 4 3 9 7

【書類名】 特許願

【整理番号】 2038240103

【提出日】 平成15年 4月21日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/12 330  
G06F 13/38 320  
G06F 13/16 520

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 孝橋 靖雄

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097179

【弁理士】

【氏名又は名称】 平野 一幸

【手数料の表示】

【予納台帳番号】 058698

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0013529

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路、それを用いた画像入出力装置及び画像入出力方法

【特許請求の範囲】

【請求項 1】 第 1 バスと、

前記第 1 バスに接続されるプロセッサと、

前記第 1 バスに接続される第 1 DMA コントローラと、

第 2 バスと、

前記第 1 バスと前記第 2 バスとを接続する第 2 DMA コントローラと、

前記第 2 バスに接続され、第 1 バッファメモリを有する第 1 接続部と、

前記第 2 バスに接続され、第 2 バッファメモリを有する第 2 接続部とを備え、

前記第 1 バスには、外部に設置され、前記プロセッサがアクセスできる第 1 メモリが接続され、

前記第 2 バスには、外部に設置された第 2 メモリが接続され、

前記第 1 DMA コントローラは、前記第 2 DMA コントローラに要求して、前記第 1 メモリと前記第 2 メモリとの間のデータ転送を調停し、

前記第 2 DMA コントローラは、前記第 2 メモリと前記第 1 バッファメモリとの間のデータ転送、及び、前記第 2 メモリと前記第 2 バッファメモリとの間のデータ転送を調停する、集積回路。

【請求項 2】 前記第 2 DMA コントローラは、

DMA 調停部と、転送出力バッファメモリと、転送入力バッファメモリとを備え、

前記 DMA 調停部は、前記第 1 接続部からのデータ転送の要求に応じて、前記第 2 バスを介して行う、前記第 1 バッファメモリと前記第 2 メモリとの間のデータ転送を調停し、

前記 DMA 調停部は、前記第 2 接続部からのデータ転送の要求に応じて、前記第 2 バスを介して行う、前記第 2 バッファメモリと前記第 2 メモリとの間のデータ転送を調停し、

前記 DMA 調停部は、前記第 1 DMA コントローラが要求する、前記第 2 メモリから前記第 1 メモリへのデータ転送を、前記転送出力バッファメモリを介して

調停し、

前記DMA調停部は、前記第1DMAコントローラが要求する、前記第1メモリから前記第2メモリへのデータ転送を、前記転送入力バッファメモリを介して調停する請求項1記載の集積回路。

【請求項3】前記第1接続部と前記第2接続部は、それぞれ、接続回路をさらに有し、

前記第1接続部の前記接続回路は、前記第1接続部に接続される外部機器と、前記第1バッファメモリとを整合し、

前記第2接続部の前記接続回路は、前記第2接続部に接続される外部機器と、前記第2バッファメモリとを整合する、請求項1から2記載の集積回路。

【請求項4】前記第1接続部と、前記第2接続部とは、FPGA(Field Programmable Gate Array)で実現した接続回路を有する、請求項1から3記載の集積回路。

【請求項5】前記第1接続部は、その接続回路として同期信号検出部を有し、外部からの画像入力信号から、有効画像データを検出して、前記第1バッファメモリに格納する画像入力部であり、

前記第2接続部は、その接続回路として同期信号生成部を有し、前記第2バッファメモリに格納されている画像データに同期信号を付加して、画像出力信号を生成し、外部へ送出する画像出力部である、請求項1から4記載の集積回路。

【請求項6】前記プロセッサが複数のプロセッサからなる請求項1から5記載の集積回路。

【請求項7】第1バスと、

前記第1バスに接続されるプロセッサと、

前記第1バスに接続される第1DMAコントローラと、

第2バスと、

前記第1バスと前記第2バスとを接続する第2DMAコントローラと、

前記第2バスに接続され、同期信号検出部と第1バッファメモリとを有する第1接続部と、

前記第2バスに接続され、同期信号生成部と第2バッファメモリとを有する第

2 接続部とを有し、

前記第 1 接続部の前記同期信号検出部は、外部から入力される画像入力信号から、有効画像データを検出して、前記第 1 バッファメモリに格納し、

前記第 2 接続部の前記同期信号生成部は、前記第 2 バッファメモリに格納されている画像データに同期信号を付加して、画像出力信号を生成し、外部へ送出する

集積回路と、

前記第 1 バスに接続され、前記プロセッサと、前記第 1 DMA コントローラとがアクセスする第 1 メモリと、

前記第 2 バスに接続され、前記第 2 DMA コントローラがアクセスする第 2 メモリとを備え、

前記第 1 DMA コントローラは、前記第 2 DMA コントローラを介して、前記第 1 メモリと前記第 2 メモリとの間のデータ転送を調停し、

前記第 2 DMA コントローラは、前記第 2 メモリと前記第 1 バッファメモリとの間のデータ転送、及び、前記第 2 メモリと前記第 2 バッファメモリとの間のデータ転送を調停する、画像入出力装置。

【請求項 8】 前記第 2 DMA コントローラは、

DMA 調停部と、転送出力バッファメモリと、転送入力バッファメモリとを備え、

前記 DMA 調停部は、前記第 1 接続部からのデータ転送の要求に応じて、前記第 2 バスを介して行う、前記第 1 バッファメモリと前記第 2 メモリとの間のデータ転送を調停し、

前記 DMA 調停部は、前記第 2 接続部からのデータ転送の要求に応じて、前記第 2 バスを介して行う、前記第 2 バッファメモリと前記第 2 メモリとの間のデータ転送を調停し、

前記 DMA 調停部は、前記第 1 DMA コントローラが要求する、前記第 2 メモリから前記第 1 メモリへのデータ転送を、前記転送出力バッファメモリを介して調停し、

前記 DMA 調停部は、前記第 1 DMA コントローラが要求する、前記第 1 メモ

りから前記第 2 メモリへのデータ転送を、前記転送入力バッファメモリを介して調停する、請求項 7 記載の画像入出力装置。

【請求項 9】 前記第 1 接続部の前記同期信号検出部と、前記第 2 接続部の前記同期信号生成部とは、FPGA (Field Programmable Gate Array) を用いて実現した回路である、請求項 7 及び 8 記載の画像入出力装置。

【請求項 10】 第 1 バスと、  
前記第 1 バスに接続されるプロセッサと、  
前記第 1 バスに接続される第 1 DMA コントローラと、  
第 2 バスと、  
前記第 1 バスと前記第 2 バスとを接続する第 2 DMA コントローラと、  
前記第 2 バスに接続される第 1 バッファメモリと、  
前記第 2 バスに接続される第 2 バッファメモリとを有する  
第 1 集積回路と、  
同期信号検出部と、  
同期信号生成部とを有する  
第 2 集積回路と、  
前記第 1 バスに接続され、前記プロセッサと前記第 1 DMA コントローラとがアクセスする、第 1 メモリと、  
前記第 2 バスに接続され、前記第 2 DMA コントローラがアクセスする、第 2 メモリとを備え、  
前記同期信号検出部と前記第 1 バッファメモリとは、互いに接続されて、第 1 接続部を形成し、  
前記同期信号生成部と前記第 2 バッファメモリとは、互いに接続されて、第 2 接続部を形成し、  
前記同期信号検出部は、外部から入力される画像入力信号から、有効画像データを検出して、前記第 1 バッファメモリに格納し、  
前記同期信号生成部は、前記第 2 バッファメモリに格納されている画像データに同期信号を付加して、画像出力信号を生成し、外部へ送出し、

前記第1 DMAコントローラは、前記第2 DMAコントローラを介して、前記第1メモリと前記第2メモリとの間のデータ転送を調停し、

前記第2 DMAコントローラは、前記第2メモリと前記第1バッファメモリとの間のデータ転送、及び、前記第2メモリと前記第2バッファメモリとの間のデータ転送を調停する、画像入出力装置。

【請求項11】 前記プロセッサが複数のプロセッサからなる請求項7から10記載の画像入出力装置。

【請求項12】 第1バスと、

前記第1バスに接続されるプロセッサと、

前記第1バスに接続される第1 DMAコントローラと、

第2バスと、

前記第1バスと前記第2バスとを接続する第2 DMAコントローラと、

前記第2バスに接続され、同期信号検出部と第1バッファメモリとを有する第1接続部と、

前記第2バスに接続され、同期信号生成部と第2バッファメモリとを有する第2接続部と、

前記第1バスに接続され、前記プロセッサと、前記第1 DMAコントローラとがアクセスする第1メモリと、

前記第2バスに接続され、前記第2 DMAコントローラがアクセスする第2メモリとを備える、画像入出力装置を用いて行う、画像入出力方法であって、

前記第1接続部の前記同期信号検出部は、外部から入力される画像入力信号から、有効画像データを検出して、前記第1バッファメモリに格納するステップと、

前記第2接続部の前記同期信号生成部は、前記第2バッファメモリに格納されている画像データに同期信号を付加して、画像出力信号を生成し、外部へ送出するステップと、

前記第2 DMAコントローラは、前記第2メモリと前記第1バッファメモリとの間のデータ転送、及び、前記第2メモリと前記第2バッファメモリとの間のデータ転送を調停するステップと、



前記第1 DMAコントローラは、前記第2 DMAコントローラを介して、前記第1メモリと前記第2メモリとの間のデータ転送を調停するステップとを含む、画像入出力方法。

【請求項13】 前記第2 DMAコントローラは、DMA調停部と、転送出力バッファメモリと、転送入力バッファメモリとを備える画像入出力装置を用いて行う、請求項12記載の画像入出力方法であって、

前記DMA調停部は、前記第1接続部からのデータ転送の要求に応じて、前記第2バスを介して行う、前記第1バッファメモリと前記第2メモリとの間のデータ転送を調停するステップと、

前記DMA調停部は、前記第2接続部からのデータ転送の要求に応じて、前記第2バスを介して行う、前記第2バッファメモリと前記第2メモリとの間のデータ転送を調停するステップと、

前記DMA調停部は、前記第1 DMAコントローラが要求する、前記第2メモリから前記第1メモリへのデータ転送を、前記転送出力バッファメモリを介して調停するステップと、

前記DMA調停部は、前記第1 DMAコントローラが要求する、前記第1メモリから前記第2メモリへのデータ転送を、前記転送入力バッファメモリを介して調停するステップとを含む、画像入出力方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、集積回路及びそれを用いた画像入出力装置と画像入出力方法に関し、特に、複数のDMA (Direct Memory Access) コントローラを有し、複数のメモリ間でのデータ転送時に発生する輻輳を回避する技術の改良に関するものである。

##### 【0002】

##### 【従来の技術】

近年、半導体プロセスの微細化に伴い、プログラム制御のプロセッサと画像入出力部の集積回路を搭載した、システムLSI (Large Scale In

egrated Circuit (大規模集積回路)) が開発されている。

#### 【0003】

図10は、従来技術による画像処理用のシステムLSI1と、それを用いた画像入出力装置の構成図である。

#### 【0004】

図10において、システムLSI1は、バス2と、それに接続されるプロセッサ3（複数台のプロセッサから構成されることもある）と、DMAコントローラ6と、画像入力部8と、画像出力部9とを備え、画像入力部8は、同期信号検出部10と入力バッファメモリ11とを有し、画像出力部9は、同期信号生成部12と出力バッファメモリ13とを有する。

#### 【0005】

このシステムLSI1には、主メモリ4と不揮発性メモリ5とがバス2に接続されている。さらに、画像入力部8には、CCDカメラなどの画像入力装置14が接続されており、画像出力部9には、液晶ディスプレイなどの画像表示装置15が接続されている。

#### 【0006】

プロセッサ3は、不揮発メモリ5に格納されているプログラムを取り込み、そのプログラムを実行することにより、画像入出力装置の制御を行う。その制御の一例を以下に述べる。

#### 【0007】

図10において、画像入力装置14からの画像入力信号は、画像入力部8の同期信号検出部10に入力される。同期信号検出部10において、同期信号が検出されると同時に、表示に有効な画像信号である、有効画像データが抽出され、入力バッファメモリ11に一時的に格納される。

#### 【0008】

入力バッファメモリ11に一時的に格納された有効画像データは、バス2を経由して、主メモリ4に格納された後、プロセッサ3で画像圧縮、画像伸長などの必要な処理が行われる。処理された有効画像データは、再びバス2を介して、主メモリ4に格納される。

**【0009】**

さらに、主メモリ4に格納された有効画像データは、バス2を介して、画像出力部9の出力バッファメモリ13に送られ、一時的に格納される。出力バッファメモリ13から取り出された有効画像データは、同期信号生成部12において、同期信号が付与されて、画像表示装置15に送られ、表示される。

**【0010】**

このとき、バス2を介して転送される、主メモリ4、不揮発メモリ5、入力バッファメモリ11、及び、出力バッファメモリ13から取り出されるデータ、あるいは、それらに格納するデータの転送制御は、DMAコントローラ6が行う。

**【0011】**

その動作の一例を、図10と図11を参照して、さらに詳しく説明する。

**【0012】**

図11は、従来技術による画像処理用のシステムLSI1のDMAタイミングの一例を示す。図10に示した画像入力装置14から入力された画像入力信号から、画像入力部8において、図11に示すように、垂直同期信号20の非ブランキング期間において、有効画像データ21が連続的に抽出・生成され、入力バッファメモリ11に一時的に格納される。そして、入力バッファメモリ11に一時的に格納された有効画像データ21は、例えば、水平同期信号に同期した、決められた時間に連続して、主メモリ4へ転送されることになる。このとき、DMAコントローラ6は、画像入力部8から、この有効画像データ21の主メモリ4への転送要求があると、優先度の低い処理を中断して、最優先で転送するように動作する。

**【0013】**

また、画像処理され、主メモリ4に格納されている画像データを、画像表示装置15に表示するときも、DMAコントローラ6は、例えば、水平同期信号に同期した、決められた時間に連続して、図11に示す垂直同期信号22の非ブランキング期間において、有効画像データ23を、主メモリ4から出力バッファメモリ13に最優先で転送する。

**【0014】**

このように、入力バッファメモリ 11 から主メモリ 4 への画像データ転送と、主メモリ 4 から出力バッファメモリ 13 への画像データ転送は、いずれも、優先度の低い処理を中断して、最優先で処理される。このとき、DMA コントローラ 6 は、これらの画像データ転送が、バス 2 において輻輳しないように、あらかじめスケジューリングされているタイミングに従って、調停する。

#### 【0015】

上述したような、決められた時間に最優先でデータ転送する処理を緊急処理、その他の処理、例えば、プロセッサ 3 が行う画像圧縮あるいは画像伸長などの画像処理に伴う、プロセッサ 3 と主メモリ 4 との間のデータ転送処理、を通常処理と呼ぶことにする。

#### 【0016】

図 11 に示す主メモリバス占有状態図 24 は、DMA コントローラ 6 によるスケジューリングの一例を示している。この例では、画像出力部 9 への (M) フレームの (J) ライン、画像入力部 8 からの (N) フレームの (I) ライン、画像出力部 9 への (M) フレームの (J+1) ライン、画像入力部 8 からの (N) フレームの (I+1) ライン、という順序で、交互に、決められた時間に連続的に、画像データが緊急処理として転送され、その他の時間にプロセッサの処理が通常処理として行われている。

#### 【0017】

図 11 の主メモリバス占有状態図 24 の一部 25 を、図 12 に拡大表示する。すなわち、図 12 は、従来技術による画像処理用のシステム LSI の DMA タイミングの部分拡大図を示す。この図は、主メモリバス占有状態のスケジューリングのタイミングを示している。同図に示す例では、通常処理であるプロセッサの第 1 DMA 処理 26 が途中で中断され、緊急処理である (J+1) ラインの DMA 処理 27 と (I) ラインの DMA 処理 28 が行われた後に、通常処理であるプロセッサの第 1 DMA 処理 29 が再開され、続いて、通常処理であるプロセッサの第 2 DMA 処理 30 が行われる。

#### 【0018】

ここに、プロセッサの第 1 DMA 処理 26 は、プロセッサ 3 と主メモリ 4 との

間の1回目のデータ転送処理を表す。(I)ラインのDMA処理28は、入力バッファメモリ11から主メモリ4への、(N)フレームの(I)ラインのデータ転送処理を表す。(J+1)ラインのDMA処理は、主メモリ4から出力バッファメモリ13への、(M)フレームの(J+1)ラインのデータ転送処理を表す。その他についても、同様である。

#### 【0019】

上述した通常処理の中断と再開の制御は、図10に示す、DMAコントローラ6のDMA中断再開制御部7が行っている。

#### 【0020】

以上説明した従来技術による画像処理システムには、いくつかの問題がある。すなわち、第1に、緊急処理される画像データと、通常処理される画像データとが一つの主メモリ4を共有しているため、バス2上でのデータ転送の輻輳が頻繁に発生する。それを回避するために、DMAのスケジューリングを精密に行う必要があり、DMAのスケジューリングの設計は、複雑になる。

#### 【0021】

第2に、通常処理を中断し、再開するための制御機構が必要であり、DMAコントローラ6の回路が複雑になる。

#### 【0022】

第3に、通常処理がしばしば中断されるため、通常処理の作業が遅延する。

#### 【0023】

第4に、固定的な画像入力部10と画像出力部9を有する従来のシステムLSI1は、異なった仕様の画像入力装置14や画像表示装置15に、容易に対応できず、拡張性に乏しい。その対策としては、別仕様の同期信号検出部と同期信号生成部とを有するシステムLSIを新たに開発する必要がある、時間と経費が掛かる。

#### 【0024】

##### 【発明が解決しようとする課題】

そこで本発明は、緊急処理される画像データと、通常処理される画像データとの、データ転送の輻輳を回避し、さらに、異なった仕様の画像入力装置や画像表

示装置にも容易に対応できる、集積回路とそれを用いた画像入出力装置及び画像入出力方法を提供することを目的とする。

#### 【0025】

##### 【課題を解決するための手段】

請求項1記載の集積回路は、第1バスと、第1バスに接続されるプロセッサと、第1バスに接続される第1DMAコントローラと、第2バスと、第1バスと第2バスとを接続する第2DMAコントローラと、第2バスに接続され、第1バッファメモリを有する第1接続部と、第2バスに接続され、第2バッファメモリを有する第2接続部とを備え、第1バスには、外部に設置され、前記プロセッサがアクセスできる第1メモリが接続され、第2バスには、外部に設置された第2メモリが接続され、第1DMAコントローラは、第2DMAコントローラに要求して、第1メモリと第2メモリとの間のデータ転送を調停し、第2DMAコントローラは、第2メモリと第1バッファメモリとの間のデータ転送、及び、第2メモリと第2バッファメモリとの間のデータ転送を調停する。

#### 【0026】

この構成によれば、緊急処理が必要な優先度の高い処理と、通常処理である比較的優先度の低い処理とを、分離して処理することが可能となり、第1バス上のデータ転送の輻輳を回避できる。

#### 【0027】

また、DMAコントローラの設計が容易となり、開発期間が短縮される。

#### 【0028】

さらに、第1接続部と第2接続部とは、外部入力装置にも、外部出力装置にも対応可能であり、汎用性が広がる。すなわち、両者とも入力用、あるいは出力用としてもよいし、一つを入力用、他方を出力用としてもよい。

#### 【0029】

請求項2記載の集積回路では、第2DMAコントローラは、DMA調停部と、転送出力バッファメモリと、転送入力バッファメモリとを備え、DMA調停部は、第1接続部からのデータ転送の要求に応じて、第2バスを介して行う、第1バッファメモリと第2メモリとの間のデータ転送を調停し、DMA調停部は、第2

接続部からのデータ転送の要求に応じて、第2バスを介して行う、第2バッファメモリと第2メモリとの間のデータ転送を調停し、DMA調停部は、第1DMAコントローラが要求する、第2メモリから第1メモリへのデータ転送を、転送出力バッファメモリを介して調停し、DMA調停部は、第1DMAコントローラが要求する、第1メモリから第2メモリへのデータ転送を、転送入力バッファメモリを介して調停する。

#### 【0030】

この構成によれば、入出力装置と第2メモリとの間の入出力に伴うデータ転送が、第1バスを介さずに、第2バスのみを介して、処理できる。その結果、第1バス上のデータ転送の輻輳が軽減され、プロセッサが第1メモリを使用して行う処理が加速される。

#### 【0031】

また、入出力装置と第2メモリとの間の、入出力に伴うデータ転送のスケジューリングは、第2DMAコントローラが独自に行うことができるので、設計の自由度が増すとともに、運用時の効率が向上する。

#### 【0032】

請求項3記載の集積回路では、第1接続部と第2接続部は、それぞれ、接続回路をさらに有し、第1接続部の接続回路は、第1接続部に接続される外部機器と、第1バッファメモリとを整合し、第2接続部の接続回路は、第2接続部に接続される外部機器と、第2バッファメモリとを整合する。

#### 【0033】

この構成によれば、外部に接続される入出力機器とのインターフェイスが、接続回路で実現され、さらに、入力バッファメモリあるいは出力バッファメモリとの間のデータの転送が、容易に、かつ、効率的に行われる。

#### 【0034】

請求項4記載の集積回路では、第1接続部と、第2接続部とは、FPGA (Field Programmable Gate Array) で実現した接続回路を有する。

#### 【0035】

この構成によれば、外部に接続する外部機器によって、それらの仕様に適合した接続回路を再構成できるので、汎用性が大幅に拡大し、結果的に、コスト削減が図れる。

#### 【0036】

請求項5記載の集積回路では、第1接続部は、その接続回路として同期信号検出部を有し、外部からの画像入力信号から、有効画像データを検出して、第1バッファメモリに格納する画像入力部であり、第2接続部は、その接続回路として同期信号生成部を有し、第2バッファメモリに格納されている画像データに同期信号を付加して、画像出力信号を生成し、外部へ送出する画像出力部である。

#### 【0037】

この構成によれば、画像を入出力できる専用集積回路を実現できる。

#### 【0038】

請求項6記載の集積回路は、プロセッサが複数のプロセッサからなる。

#### 【0039】

この構成によれば、画像圧縮や画像伸長などの、処理量の多い作業でも、実時間での処理が可能となり、集積回路の性能が向上するとともに、集積回路の多機能化を実現できる。

#### 【0040】

請求項7記載の画像入出力装置は、第1バスと、第1バスに接続されるプロセッサと、第1バスに接続される第1DMAコントローラと、第2バスと、第1バスと第2バスとを接続する第2DMAコントローラと、第2バスに接続され、同期信号検出部と第1バッファメモリとを有する第1接続部と、第2バスに接続され、同期信号生成部と第2バッファメモリとを有する第2接続部とを有し、第1接続部の同期信号検出部は、外部から入力される画像入力信号から、有効画像データを検出して、第1バッファメモリに格納し、第2接続部の同期信号生成部は、第2バッファメモリに格納されている画像データに同期信号を付加して、画像出力信号を生成し、外部へ送出する集積回路と、第1バスに接続され、プロセッサと、第1DMAコントローラとがアクセスする第1メモリと、第2バスに接続され、第2DMAコントローラがアクセスする第2メモリとを備え、第1DMA



コントローラは、第2 DMAコントローラを介して、第1メモリと第2メモリとの間のデータ転送を調停し、第2 DMAコントローラは、第2メモリと第1バッファメモリとの間のデータ転送、及び、第2メモリと第2バッファメモリとの間のデータ転送を調停する。

#### 【0041】

この構成によれば、請求項1記載の集積回路を、システムLSIとして実装した、画像入出力装置を実現できる。

#### 【0042】

請求項8記載の画像入出力装置では、第2 DMAコントローラは、DMA調停部と、転送出力バッファメモリと、転送入力バッファメモリとを備え、DMA調停部は、第1接続部からのデータ転送の要求に応じて、第2バスを介して行う、第1バッファメモリと第2メモリとの間のデータ転送を調停し、DMA調停部は、第2接続部からのデータ転送の要求に応じて、第2バスを介して行う、第2バッファメモリと第2メモリとの間のデータ転送を調停し、DMA調停部は、第1 DMAコントローラが要求する、第2メモリから第1メモリへのデータ転送を、転送出力バッファメモリを介して調停し、DMA調停部は、第1 DMAコントローラが要求する、第1メモリから第2メモリへのデータ転送を、転送入力バッファメモリを介して調停する。

#### 【0043】

この構成によれば、請求項2記載の集積回路が有する特徴を生かした画像入出力装置を実現できる。

#### 【0044】

請求項9記載の画像入出力装置では、第1接続部の同期信号検出部と、第2接続部の同期信号生成部とは、FPGAを用いて実現した回路である。

#### 【0045】

この構成によれば、外部機器とのインターフェイスである同期信号検出部と、同期信号生成部と再構成して、異なった仕様のカメラや、異なった仕様のディスプレイも接続できる、新たな画像入出力装置を容易に実現できる。その結果、新製品の開発期間を短縮でき、開発費用も削減できる。

## 【0046】

請求項10記載の画像入出力装置は、第1バスと、第1バスに接続されるプロセッサと、第1バスに接続される第1DMAコントローラと、第2バスと、記第1バスと第2バスとを接続する第2DMAコントローラと、第2バスに接続される第1バッファメモリと、第2バスに接続される第2バッファメモリとを有する第1集積回路と、同期信号検出部と、同期信号生成部とを有する第2集積回路と、第1バスに接続され、プロセッサと第1DMAコントローラとがアクセスする、第1メモリと、第2バスに接続され、第2DMAコントローラがアクセスする、第2メモリとを備え、同期信号検出部と第1バッファメモリとは、互いに接続されて、第1接続部を形成し、同期信号生成部と第2バッファメモリとは、互いに接続されて、第2接続部を形成し、同期信号検出部は、外部から入力される画像入力信号から、有効画像データを検出して、第1バッファメモリに格納し、同期信号生成部は、第2バッファメモリに格納されている画像データに同期信号を付加して、画像出力信号を生成し、外部へ送出し、第1DMAコントローラは、第2DMAコントローラを介して、第1メモリと第2メモリとの間のデータ転送を調停し、第2DMAコントローラは、第2メモリと第1バッファメモリとの間のデータ転送、及び、第2メモリと第2バッファメモリとの間のデータ転送を調停する。

## 【0047】

この構成によれば、インターフェイス部分の集積回路を変更するだけで、異なった仕様のカメラや、異なった仕様のディスプレイに対応する、新たな画像入出力装置を容易に実現できる。その結果、新製品の開発期間を短縮でき、開発費用も削減できる。

## 【0048】

請求項11記載の画像入出力装置は、プロセッサが複数のプロセッサからなる。

## 【0049】

この構成によれば、より高速処理が可能で、より多機能な画像入出力装置を実現できる。

**【0050】**

請求項12記載の画像入出力方法は、第1バスと、第1バスに接続されるプロセッサと、第1バスに接続される第1DMAコントローラと、第2バスと、第1バスと第2バスとを接続する第2DMAコントローラと、第2バスに接続され、同期信号検出部と第1バッファメモリとを有する第1接続部と、第2バスに接続され、同期信号生成部と第2バッファメモリとを有する第2接続部と、第1バスに接続され、プロセッサと、第1DMAコントローラとがアクセスする第1メモリと、第2バスに接続され、第2DMAコントローラがアクセスする第2メモリとを備える、画像入出力装置を用いて行う、画像入出力方法であって、第1接続部の同期信号検出部は、外部から入力される画像入力信号から、有効画像データを検出して、第1バッファメモリに格納するステップと、第2接続部の同期信号生成部は、第2バッファメモリに格納されている画像データに同期信号を付加して、画像出力信号を生成し、外部へ送出するステップと、第2DMAコントローラは、第2メモリと第1バッファメモリとの間のデータ転送、及び、第2メモリと第2バッファメモリとの間のデータ転送を調停するステップと、第1DMAコントローラは、第2DMAコントローラを介して、第1メモリと第2メモリとの間のデータ転送を調停するステップとを含む。

**【0051】**

この方法によれば、請求項1記載の集積回路をシステムLSIとして実装し、データ転送時の輻輳を回避し、効率化を図った画像入出力装置を実現できる。

**【0052】**

請求項13記載の画像入出力方法においては、第2DMAコントローラは、DMA調停部と、転送出力バッファメモリと、転送入力バッファメモリとを備える画像入出力装置を用いて行い、DMA調停部は、第1接続部からのデータ転送の要求に応じて、第2バスを介して行う、第1バッファメモリと第2メモリとの間のデータ転送を調停するステップと、DMA調停部は、第2接続部からのデータ転送の要求に応じて、第2バスを介して行う、第2バッファメモリと第2メモリとの間のデータ転送を調停するステップと、DMA調停部は、第1DMAコントローラが要求する、第2メモリから第1メモリへのデータ転送を、転送出力バッ

ファメモリを介して調停するステップと、DMA調停部は、第1 DMAコントローラが要求する、第1メモリから第2メモリへのデータ転送を、転送入力バッファメモリを介して調停するステップとを含む。

#### 【0053】

この方法によれば、請求項8記載の画像入出力装置が有する特徴と同様の特徴を有する、画像入出力装置を実現できる。

#### 【0054】

##### 【発明の実施の形態】

次に、図面を参照しながら、本発明の実施の形態を説明する。

#### 【0055】

(第1の実施の形態)

#### 【0056】

図1は、本発明の第1の実施の形態における画像入出力装置の構成図である。本形態の画像入出力装置は、集積回路100と、主メモリ200と、不揮発性メモリ300と、フレームメモリ400とを有し、外部機器として、カメラ500とディスプレイ600が接続されている。

#### 【0057】

本形態において、主メモリ200は、第1メモリに相当し、フレームメモリ400は、第2メモリに相当する。

#### 【0058】

図1に示すように、集積回路100は、その内部に、第1バス101と、第2バス102と、プロセッサ110と、第1DMAコントローラ120と、第1バス101と第2バス102とを接続する第2DMAコントローラ130と、画像入力部140と、画像出力部150と、を備える。画像入力部140は、同期信号検出部142と入力バッファメモリ141とを有し、画像出力部150は、同期信号生成部152と出力バッファメモリ151とを有する。プロセッサ110と第1DMAコントローラ120とは、第1バス101に接続され、画像入力部140と画像出力部150とは、第2バス102に接続されている。

#### 【0059】

さらに、主メモリ 200 と、不揮発性メモリ 300 とは、集積回路 100 の第 1 バス 101 に接続され、フレームメモリ 400 は、集積回路 100 の第 2 バス 102 に接続されている。カメラ 500 は、画像入力部 140 の同期信号検出部 142 に接続され、ディスプレイ 600 は、画像出力部 150 の同期信号生成部 152 に接続されている。

#### 【0060】

本形態において、画像入力部 140 は、第 1 接続部に相当し、画像出力部 150 は、第 2 接続部に相当し、同期信号検出部 142 と同期信号生成部 152 とは、第 1 接続部と第 2 接続部のそれぞれの接続回路に相当する。

#### 【0061】

次に、図 1 を参照して、本実施の形態の動作について説明する。カメラ 500 から出力された画像入力信号は、画像入力部 140 の同期信号検出部 142 に入力される。同期信号検出部 142 において、入力された画像入力信号から、同期信号が検出されると同時に、表示に有効な画像信号である、有効画像データが抽出され、入力バッファメモリ 141 に一時的に格納される。入力バッファメモリ 141 には、次々と有効画像データが送られてくるので、画像入力部 140 は、一時的に格納された有効画像データを、フレームメモリ 400 に転送するように、第 2 DMA コントローラ 130 に要求する。すると、第 2 DMA コントローラ 130 は、第 2 バス 102 を介して、入力バッファメモリ 141 からフレームメモリ 400 に、有効画像データを、最優先で、決められた時間に連続的に転送する。このデータ転送は、緊急処理である。

#### 【0062】

ディスプレイ 600 への画像表示の処理は、次のように行われる。画像出力部 150 は、表示するための有効画像データを、フレームメモリ 400 から出力バッファメモリ 151 に転送するように、第 2 DMA コントローラ 130 に要求する。すると、第 2 DMA コントローラ 130 は、第 2 バス 102 を介して、フレームメモリ 400 から出力バッファメモリ 151 に、有効画像データを、最優先で、決められた時間に連続的に転送する。このデータ転送は、緊急処理である。転送された有効画像データは、出力バッファメモリ 151 に一時的に格納された

後、同期信号生成部 152 において、ディスプレイ 600 での表示に必要な、同期信号を付与されて、ディスプレイ 600 に送出される。

#### 【0063】

入力画像に対して、プロセッサ 110 による画像処理が必要な場合には、フレームメモリ 400 に格納されている有効画像データを、主メモリ 200 に転送する必要がある。この場合、第 1 DMA コントローラ 120 は、第 2 DMA コントローラ 130 に対して、有効画像データの転送を要求する。すると、第 2 DMA コントローラ 130 は、入力バッファメモリ 141 からフレームメモリ 400 へのデータ転送と、フレームメモリ 400 から出力バッファメモリ 151 へのデータ転送とが行われていない時間、すなわち、緊急処理が行われていない時間に、第 1 バス 101 と第 2 バス 102 とを介して、フレームメモリ 400 から主メモリ 200 に、有効画像データを転送する。このデータ転送は、通常処理である。

#### 【0064】

また、画像処理した有効画像データを、主メモリ 200 からフレームメモリ 400 に転送するときも、第 1 DMA コントローラ 120 は、第 2 DMA コントローラ 130 に対して、有効画像データの転送を要求し、緊急処理が行われていない時間に、第 1 バス 101 と第 2 バス 102 とを介して、転送処理が行われる。このデータ転送は、通常処理である。

#### 【0065】

上述した主メモリ 200 と、フレームメモリ 400 と、第 1 バス 101 と、第 2 バス 102 とが関与する、データ転送時の輻輳を回避ための調停は、第 1 DMA コントローラ 120 と第 2 DMA コントローラ 130 とが行う。調停の詳細なタイミングについては後述する。

#### 【0066】

図 2 は、本発明の第 1 の実施の形態における第 2 DMA コントローラ 130 の構成図を示しており、同時に、第 2 DMA コントローラ 130 を中心とした、調停のための制御の信号経路を示している。図 2 において、プロセッサ 110 と不揮発性メモリ 300 は、省略している。また、図 2 において、図 1 と同様の構成要素については、同一の符号を付すことにより、説明を省略する。

## 【0067】

図2に示すように、第2DMAコントローラ130は、DMA調停部131と、転送出力バッファメモリ132と、転送入力バッファメモリ133とを含む。転送出力バッファメモリ132は、その入力端が第2バス102に接続され、その出力端が第1バス101に接続されている。転送入力バッファメモリ133は、その入力端が第1バス101に接続され、その出力端が第2バス102に接続されている。

## 【0068】

次に、図2を参照して、第2DMAコントローラ130を中心とした、調停のための制御の動作を説明する。同図において、調停のための制御信号は、点線で表している。

## 【0069】

画像入力部140において、有効画像データが抽出され、一時的に格納されると、画像入力部140は、第2DMAコントローラ130のDMA調停部131に対して、転送要求信号C1を発行する。DMA調停部131は、転送要求信号C1を受け取ると、もし、第2バス102を介して通常処理の処理が行われていれば、それを中断して、画像入力部140の入力バッファメモリ141から、フレームメモリ400に、第2バス102を介して、有効画像データを緊急処理として、転送する。

## 【0070】

また、画像出力部150は、データ転送の必要が生じると、第2DMAコントローラ130のDMA調停部131に対して、転送要求信号C2を発行する。DMA調停部131は、転送要求信号C2を受け取ると、もし、第2バス102を介して通常処理の処理が行われていれば、それを中断して、フレームメモリ400から、画像出力部150の出力バッファメモリ151に、第2バス102を介して、有効画像データを緊急処理として、転送する。

## 【0071】

フレームメモリ400と主メモリ200の間のデータ転送は、次のように行われる。第1DMAコントローラ120は、入力画像ですでにフレームメモリ40

0に格納されている有効画像データを、主メモリ200に転送するように、第2DMAコントローラ130のDMA調停部131に対して、転送要求信号C3を発行する。転送要求信号C3を受け取ったDMA調停部131は、フレームメモリ400が、画像入力部140あるいは画像出力部150とデータ転送を行っていないときに、フレームメモリ400から転送出力バッファメモリ132に、当該有効画像データを転送する。転送が完了すると、DMA調停部131は、第1DMAコントローラ120に対して発行される、第1転送許可信号C4を有効にする。第1DMAコントローラ120は、第1転送許可信号C4が有効になったことを確認して、転送出力バッファメモリ132から、主メモリ200に当該有効画像データを転送する。

#### 【0072】

また、転送入力バッファメモリ133が空である場合、DMA調停部131は、第1DMAコントローラ120に対して発行される、第2転送許可信号C5を有効にする。第1DMAコントローラ120は、第2転送許可信号C5が有効になったことを確認して、出力すべき有効画像データを、主メモリ200から転送入力バッファメモリ133に転送する。転送が完了すると、第1DMAコントローラ120は、第3転送許可信号C6を有効にして、DMA調停部131に対して発行する。DMA調停部131は、第3転送許可信号C6が有効になったことを確認して、フレームメモリ400が、画像入力部140あるいは画像出力部150とデータ転送を行っていないときに、転送入力バッファメモリ133からフレームメモリ400に、当該有効画像データを転送する。

#### 【0073】

上述したデータ転送において、第1DMAコントローラ120と第2DMAコントローラ130とが行う、調停の詳細なタイミングは、後述する。

#### 【0074】

図3は、本発明の第1の実施の形態におけるフレームメモリ400の領域使用例を示す。フレームメモリ400では、そのデータ格納領域を、第1の入力画像データ領域401、第2の入力画像データ領域402、第1の出力画像データ領域403、第2の出力画像データ領域404、とに振り分けている。



## 【0075】

入力される有効画像データは、第1の入力画像データ領域401と第2の入力画像データ領域402とに、交互に格納される。第1DMAコントローラ120から、データ転送要求が発せられたときには、第1の入力画像データ領域401と第2の入力画像データ領域402との、いずれか、格納が完了している方の有効画像データを転送する。こうすることで、緊急処理を行っていない時間に、主メモリ200とフレームメモリ400との間でデータ転送を行っても、格納が完了していない方の入力画像データ領域が上書きされることはない。

## 【0076】

出力される有効画像データについては、主メモリ200からフレームメモリ400への当該有効画像データの転送が完了した時点で、画像出力部150は、第1の出力画像データ領域403と第2の出力画像データ領域404との、いずれか、転送が完了した方から、当該有効画像データを取り込み、表示のための処理をする。こうすることで、通常処理で行われる、主メモリ200とフレームメモリ400との間でデータ転送を行っても、ディスプレイ600での画像表示が間に合わなくなることはない。

## 【0077】

図4は、本発明の第1の実施の形態における、主メモリとフレームメモリのデータ転送のタイミングを表す図である。図4には、画像入力に関するタイミングについて、図1の同期信号検出部142が、画像入力信号から抽出した垂直同期信号700（図4には、(N)番目のフレームと(N+1)番目のフレームを表示）と、画像入力信号から抽出した有効画像データ701（同じく、ライン単位で表示）とが示されている。また、画像出力に関するタイミングについて、図1の同期信号生成部152が、画像出力信号に付与する垂直同期信号702（同じく、(M)番目のフレームと(M+1)番目のフレームを表示）と、画像出力信号となる有効画像データ703（同じく、ライン単位で表示）とが示されている。

## 【0078】

図4に示す、フレームメモリバス占有状態図704は、図1に示す本形態の画

像入出力装置において、入力バッファメモリ 141 からフレームメモリ 400 に、また、フレームメモリ 400 から出力バッファメモリ 151 に、それぞれ、有効画像データを転送するときに、フレームメモリ 400 が、第 2 バス 102 を占有するタイミングを表している。その一部 706 について、図 5 に詳細を示す。

#### 【0079】

すなわち、図 5 は、本発明の第 1 の実施の形態における、入力バッファメモリ 141 とフレームメモリ 400 間、及び、出力バッファメモリ 151 とフレームメモリ 400 間の、データ転送のタイミングを示す。同図に示すように、緊急処理であるこれらのデータ転送におけるフレームメモリ 400 へのアクセスは、水平同期信号（図示せず）に同期して、（J）ラインの DMA 処理、間を空けて、（I）ラインの DMA 処理、（J+1）ラインの DMA 処理、間を空けて、（I+1）ラインの DMA 処理、（J+2）ラインの DMA 処理、の順に、行われる。ここに、「（J）ラインの DMA 処理」は、フレームメモリ 400 にアクセスして、（J）ラインの有効画像データを、第 2 バスを介して転送することを表す。その他についても、同様である。

#### 【0080】

緊急処理のデータ転送が行われている間、主メモリ 200 と第 1 バス 101 は、開放されており、別の処理を行うことができる。

#### 【0081】

次に、図 4 に示す、主メモリバス占有状態 705 は、主メモリ 200 が第 1 バス 101 を占有するタイミングを表している。すなわち、垂直同期信号 700 あるいは 702 に同期して、フレームメモリ 400 によって第 2 バス 102 が占有されていない時間に、（M）フレームの DMA 処理、フレームメモリ 400 によって第 2 バス 102 が占有されている時間に、プロセッサ 110 の DMA 処理、フレームメモリ 400 によって第 2 バス 102 が占有されていない次の時間に、（N）フレームの DMA 処理と（M+1）フレームの DMA 処理、の順に、以下同様な処理が行われる。

#### 【0082】

ここに、「（M）フレームの DMA 処理」は、主メモリ 200 がアクセスされ

て、主メモリ 200 から出力画像となる (M) フレームの有効画像が転送されることを表す。「プロセッサ 110 の DMA 処理」は、プロセッサ 110 と主メモリ 200 との間でデータ転送が行われていることを表す。その他も同様である。

#### 【0083】

上述したように、本形態によれば、第 2 DMA コントローラ 130 と第 2 バス 102 を設けることにより、緊急処理と通常処理の DMA 処理を分離することができる。その結果、従来技術で問題となっていた、緊急処理を行うための通常処理の中断と再開は、発生せず、DMA コントローラのスケジューリングの単純化と回路の簡素化が実現できる。

#### 【0084】

(第 2 の実施の形態)

#### 【0085】

図 6 は、本発明の第 2 の実施の形態における画像入出力装置の構成図である。図 6 において、図 1 と同様の構成要素については、同一の符号を付すことにより、説明を省略する。

#### 【0086】

本形態における画像入力部 140 は、FPGA (Field Programmable Gate Array) で構築した FPGA 同期信号検出部 143 と入力バッファメモリ 141 とを有し、画像出力部 150 は、同じく、FPGA で構築した FPGA 同期信号生成部 153 と出力バッファメモリ 151 とを有する。その他の構成要素は、第 1 の実施の形態と同じである。

#### 【0087】

FPGA は、その名の示すとおり、再構築可能な機能素子である。したがって、本形態によって、インターフェース仕様の異なる、カメラや、液晶ディスプレイに容易に対応できる画像入力装置を実現できる。その具体例を、図 7 と図 8 を参照して以下に説明する。

#### 【0088】

図 7 は、本発明の第 2 の実施の形態における FPGA 同期信号検出部 143 の入出力関係を表す図である。この FPGA 同期信号検出部 143 は、カメラから

出力される、垂直同期信号 S 4 1、垂直画像データ有効信号 S 4 2、水平同期信号 S 4 3、水平画像データ有効信号 S 4 4、画像データ識別信号 S 4 5、及び、画像データ S 4 6 とを入力し、有効画像データ S 4 7、画像データ有効信号 S 4 8、及び、有効画像データ転送要求 S 4 9 を出力する。これらについて簡単に説明する。

#### 【0089】

画像データ S 4 6 は、カメラから入力される輝度データまたは色差データであり、画像データ識別信号 S 4 5 は、画像データ S 4 6 が、輝度データまたは色差データのいずれであるかを示す識別信号である。垂直画像データ有効信号 S 4 2 は、垂直同期信号期間での画像データ S 4 6 の有効な期間を示す信号であり、水平画像データ有効信号 S 4 4 は、水平同期信号期間での画像データ S 4 6 の有効な期間を示す信号である。

#### 【0090】

有効画像データ S 4 7 は、FPGA 同期信号検出部 1 4 3 が、上述した入力信号から抽出して、図 6 に示す入力バッファメモリ 1 4 1 に出力する画像データである。また、画像データ有効信号 S 4 8 は、有効画像データ S 4 7 の存在期間を示す信号である。有効画像データ転送要求 S 4 9 は、FPGA 同期信号検出部 1 4 3 が、図 6 に示す、第 2 DMA コントローラ 1 3 0 に対して、入力バッファメモリ 1 4 1 からフレームメモリ 4 0 0 に、当該有効画像データの転送を要求する信号である。

#### 【0091】

図 8 は、本発明の第 2 の実施の形態における FPGA 同期信号生成部 1 5 3 の入出力関係である。この FPGA 同期信号生成部 1 5 3 は、図 6 に示す第 2 DMA コントローラ 1 3 0 に対して発する有効画像データ転送要求 S 5 1 を出力し、図 6 に示す出力バッファメモリ 1 5 1 から入力される有効画像データ S 5 3 と、画像データ有効信号 S 5 2 を入力する。さらに、FPGA 同期信号生成部 1 5 3 は、垂直同期信号 S 5 4、垂直画像データ有効信号 S 5 5、水平同期信号 S 5 6、水平画像データ有効信号 S 5 7、画像データ識別信号 S 5 8、及び、画像データ S 5 9 とを、図 6 に示す画像表示装置 6 0 0 へ出力する。これらについて簡単

に説明する。

#### 【0092】

有効画像データ転送要求S51は、FPGA同期信号生成部153が、図6に示す第2DMAコントローラ130に対して発する有効画像データ転送要求信号である。有効画像データS53は、この要求を受けて出力バッファメモリ151から入力される有効画像データであり、画像データ有効信号S52は、その有効画像データの存在期間を示す信号である。画像データS59は、画像表示装置600へ出力する輝度データ、色差データ、赤データ、緑データ、青データのいずれかであり、画像データ識別信号S58は、出力される画像データS59が、輝度データ、色差データ、赤データ、緑データ、青データのいずれかであることを識別する信号である。

#### 【0093】

図7と図8に示した、カメラ500からの入力信号と、画像表示装置600への出力信号の種類と組み合わせは、一例であって、カメラ、及び／または、画像表示装置の仕様が異なれば、当然上述した入力信号と出力信号の種類と組み合わせは異なる。本形態のFPGA同期信号生成部153とFPGA同期信号生成部153とは、このような場合でも、必要な回路をFPGAで構成することにより、容易に対応できる。

#### 【0094】

このように、本形態によれば、画像入力部140の同期信号生成部と、画像出力部150の同期信号生成部とを、FPGAで構成することにより、インターフェースの異なるカメラ、及び／または、画像表示装置への対応が容易となり、開発期間の短縮及び経費の削減を図れる。

#### 【0095】

(第3の実施の形態)

#### 【0096】

図9は、本発明の第3の実施の形態における画像入出力装置の構成図である。図9において、図1と同様の構成要素については、同一の符号を付すことにより、説明を省略する。

## 【0097】

図9において、画像入出力装置の回路の構成図と動作は図1のそれらと同じであるが、チップ集積の状態が異なる。

## 【0098】

すなわち、本形態では、集積回路100は、第1集積回路100Aと、第2集積回路100Bとに分割され、画像入力部140の同期信号検出部142Bと、画像出力部150の同期信号生成部152Bとが第2集積回路100Bに組み込まれ、その他の部分は、第1集積回路100Aに組み込まれている。第2集積回路100Bの同期信号検出部142Bの出力は、第1集積回路100Aにある画像入力部140の入力バッファメモリ141に接続され、第2集積回路100Bの同期信号生成部152Bの入力は、第1集積回路100Aにある画像出力部150の出力バッファメモリ151に接続される。第1集積回路100Aと、第2集積回路100Bとからなる集積回路100は、1つのパッケージとして作られる。

## 【0099】

カメラ500は、第2集積回路100Bの同期信号検出部142Bに接続され、画像表示装置600は、第2集積回路100Bの同期信号生成部152Bに接続される。また、不揮発性メモリ300と主メモリ200とは、第1集積回路100Aの第1バス101に接続され、フレームメモリ400は、第1集積回路100Aの第2バス102に接続される。

## 【0100】

このように形成した、本形態の画像入出力装置の動作は、図1に示した第1の実施の形態のそれと全く同様である。しかし、本形態によれば、例えば、インターフェースの異なるカメラ、及び／または、画像表示装置に対応する際に、同期信号検出部142Bと同期信号生成部152Bを持つ第2集積回路100Bのみを、新たに開発すればよく、大半の構成部分を含む第1集積回路100Aは、そのまま使用できる。したがって、新たなインターフェースをもつ画像入出力装置の開発を、短期間に遂行でき、経費削減を図れる。

## 【0101】

以上、説明した本発明の実施の形態では、プロセッサ110は、1台に限定されるものではなく、複数台を使用して、より複雑な処理を行ったり、あるいは、処理の速度をより高めたりすることもできる。

#### 【0102】

また、本発明は、画像入力と画像出力を有する画像入出力装置への応用のみならず、第1接続部を画像の入力（あるいは出力）、第2接続部を音声の入力（あるいは出力）として、応用することもできる。また、本発明は、音声入力と音声出力を有する音声入出力装置としても応用できる。

#### 【0103】

本発明の意図するところは、第2のDMAコントローラと第2のバスを設けて、バスにおけるデータ転送時の輻輳を回避することにあるのであって、本発明の適用範囲は、上述した実施の形態に限定されるものではない。

#### 【0104】

##### 【発明の効果】

本発明によれば、画像入出力装置において、緊急処理される画像データと、通常処理される画像データとの、データ転送の輻輳を回避できる。また、異なった仕様の画像入力装置や画像表示装置に対しても、再構築可能なFPGAの採用により、容易に対応できるインターフェースを有する画像入出力装置を提供できる。さらには、インターフェースの接続回路を別の集積回路とすることにより、異なった仕様の画像入力装置や画像表示装置に対して主回路を含む集積回路を再設計することなく、当該インターフェース集積回路のみの変更で、容易に対応できる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施の形態における画像入出力装置の構成図

##### 【図2】

本発明の第1の実施の形態における第2DMAコントローラの構成図

##### 【図3】

本発明の第1の実施の形態におけるフレームメモリの領域使用例示図

**【図 4】**

本発明の第 1 の実施の形態における、主メモリとフレームメモリのデータ転送のタイミング図

**【図 5】**

本発明の第 1 の実施の形態における、入力バッファメモリーフレームメモリ間、及び、出力バッファメモリーフレームメモリ間の、データ転送のタイミング図

**【図 6】**

本発明の第 2 の実施の形態における画像入出力装置の構成図

**【図 7】**

本発明の第 2 の実施の形態における F P G A 同期信号検出部の入出力関係図

**【図 8】**

本発明の第 2 の実施の形態における F P G A 同期信号生成部の入出力関係図

**【図 9】**

本発明の第 3 の実施の形態における画像入出力装置の構成図

**【図 10】**

従来技術による画像処理用のシステム L S I と、それを用いた画像入出力装置の構成図

**【図 11】**

従来技術による画像処理用のシステム L S I の DMA タイミングの例示図

**【図 12】**

従来技術による画像処理用のシステム L S I の DMA タイミングの部分拡大図

**【符号の説明】**

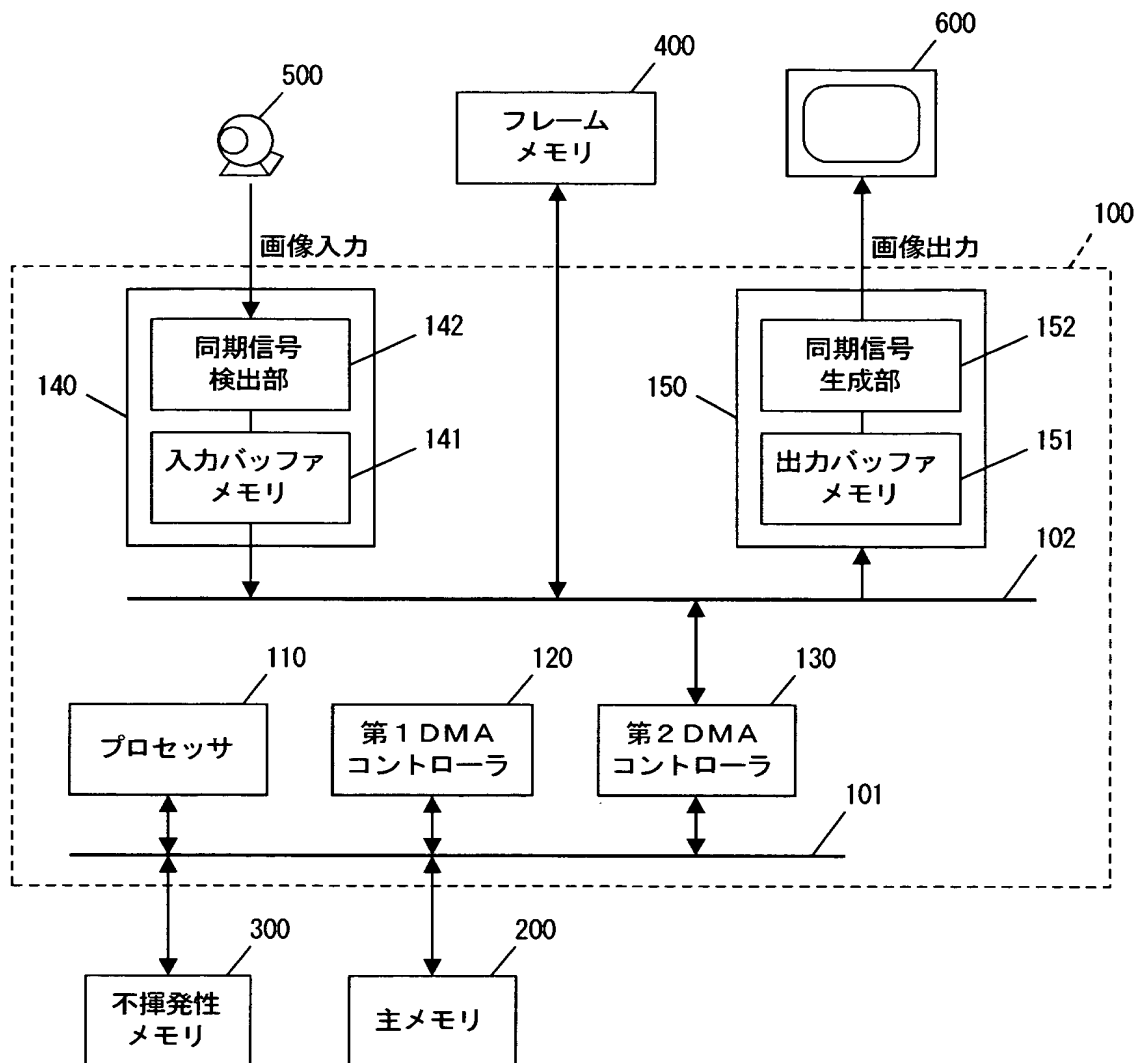
- 1 システム L S I
- 2 バス
- 3 プロセッサ
- 4 主メモリ
- 6 DMA コントローラ
- 8 画像入力部
- 9 画像出力部



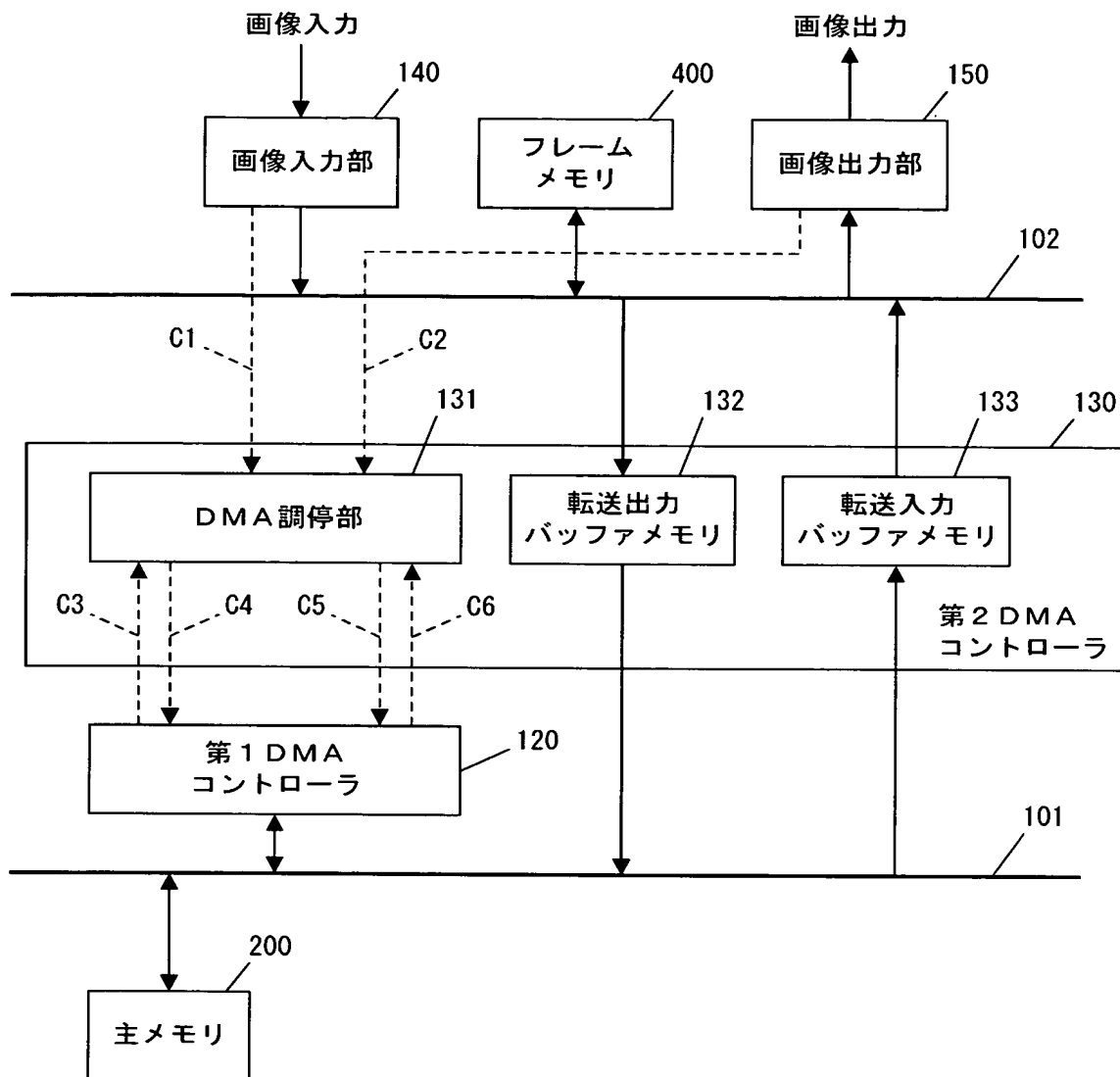
- 1 4 画像入力装置
- 1 5 画像表示装置
- 1 0 0 集積回路
  - 1 0 0 A 第 1 集積回路
  - 1 0 0 B 第 2 集積回路
- 1 0 1 第 1 バス
- 1 0 2 第 2 バス
- 1 1 0 プロセッサ
- 1 2 0 第 1 DMA コントローラ
- 1 3 0 第 2 DMA コントローラ
  - 1 3 1 DMA 調停部
  - 1 3 2 転送出力バッファメモリ
  - 1 3 3 転送入力バッファメモリ
- 1 4 0 画像入力部
  - 1 4 1 入力バッファメモリ
  - 1 4 2 同期信号検出部
    - 1 4 2 B 同期信号検出部
  - 1 4 3 F P G A 同期信号検出部
- 1 5 0 画像出力部
  - 1 5 1 出力バッファメモリ
  - 1 5 2 同期信号生成部
    - 1 5 2 B 同期信号生成部
  - 1 5 3 F P G A 同期信号生成部
- 4 0 0 フレームメモリ
- 5 0 0 カメラ
- 6 0 0 画像表示装置

【書類名】 図面

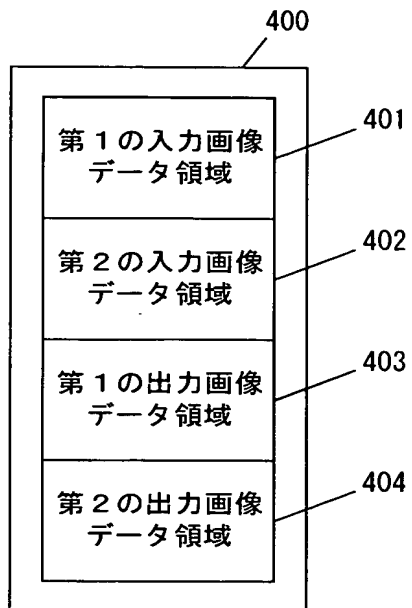
【図 1】



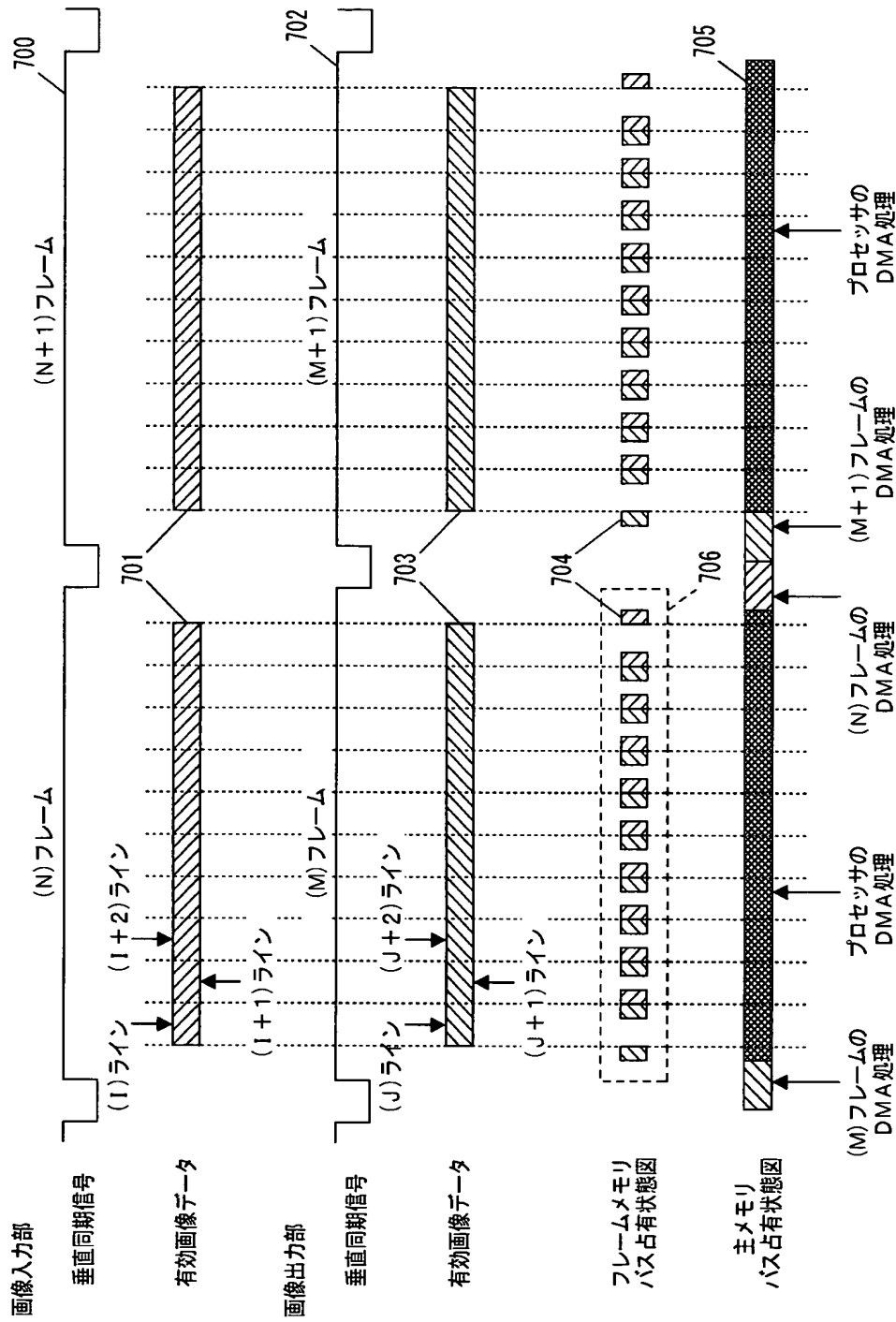
【図 2】



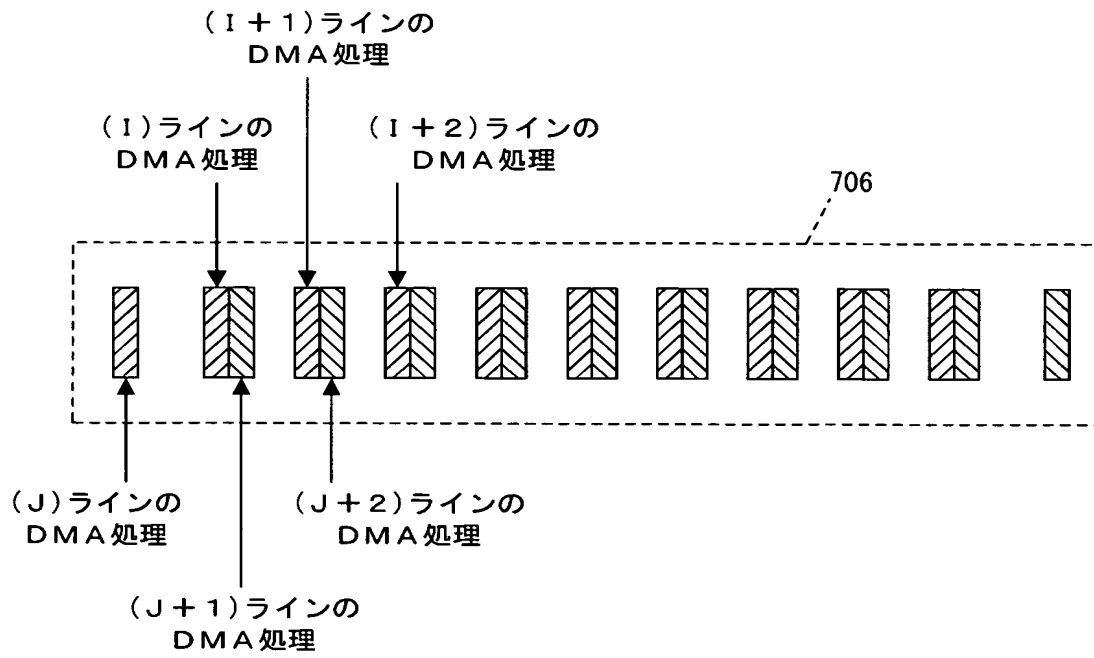
【図 3】



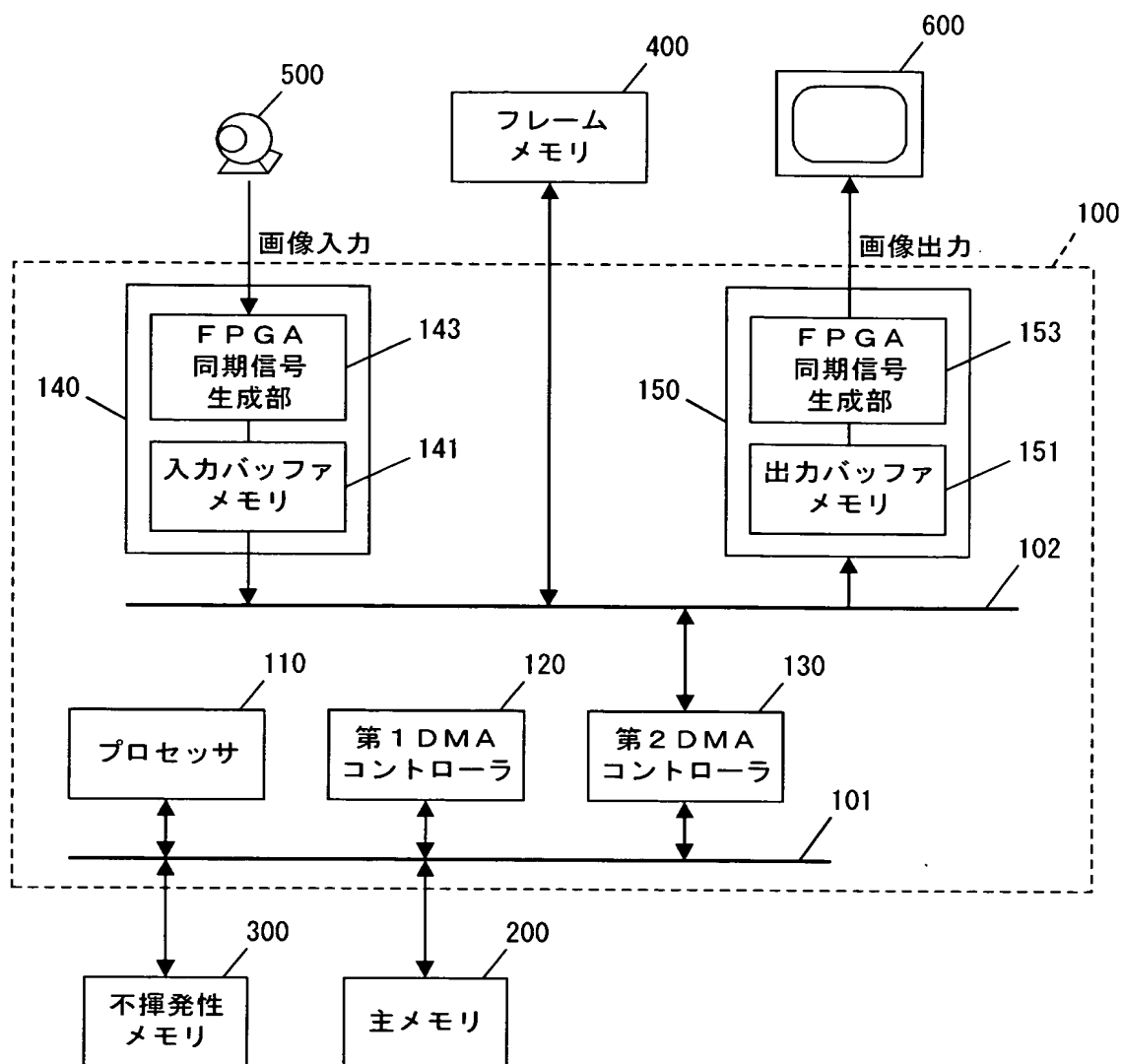
【図 4】



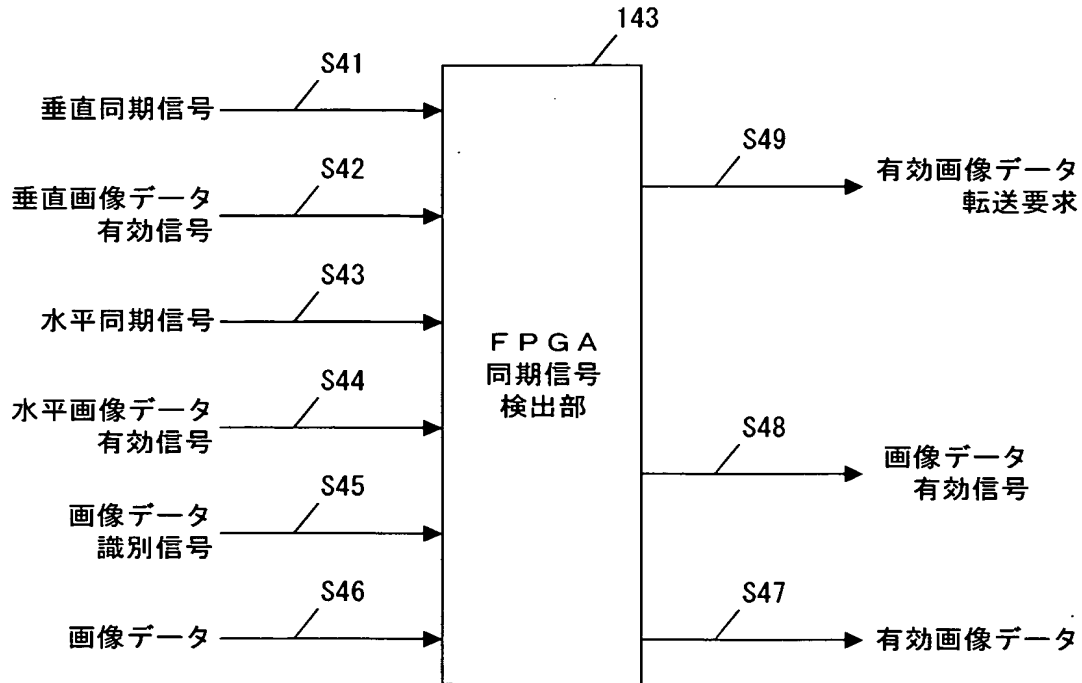
【図 5】



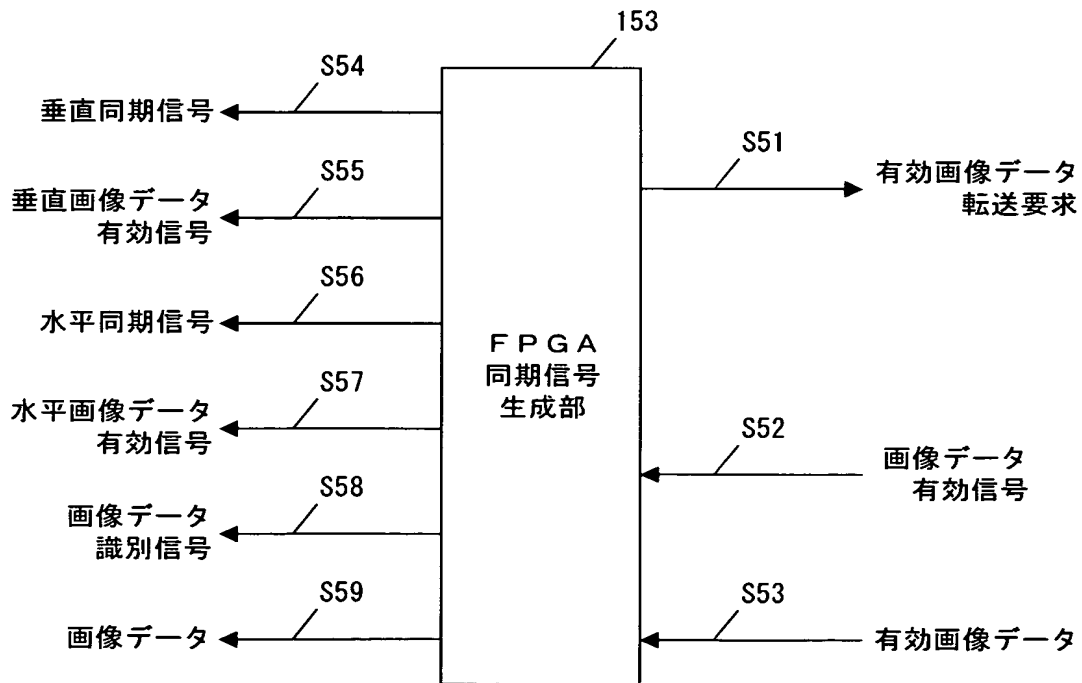
【図 6】



【図 7】

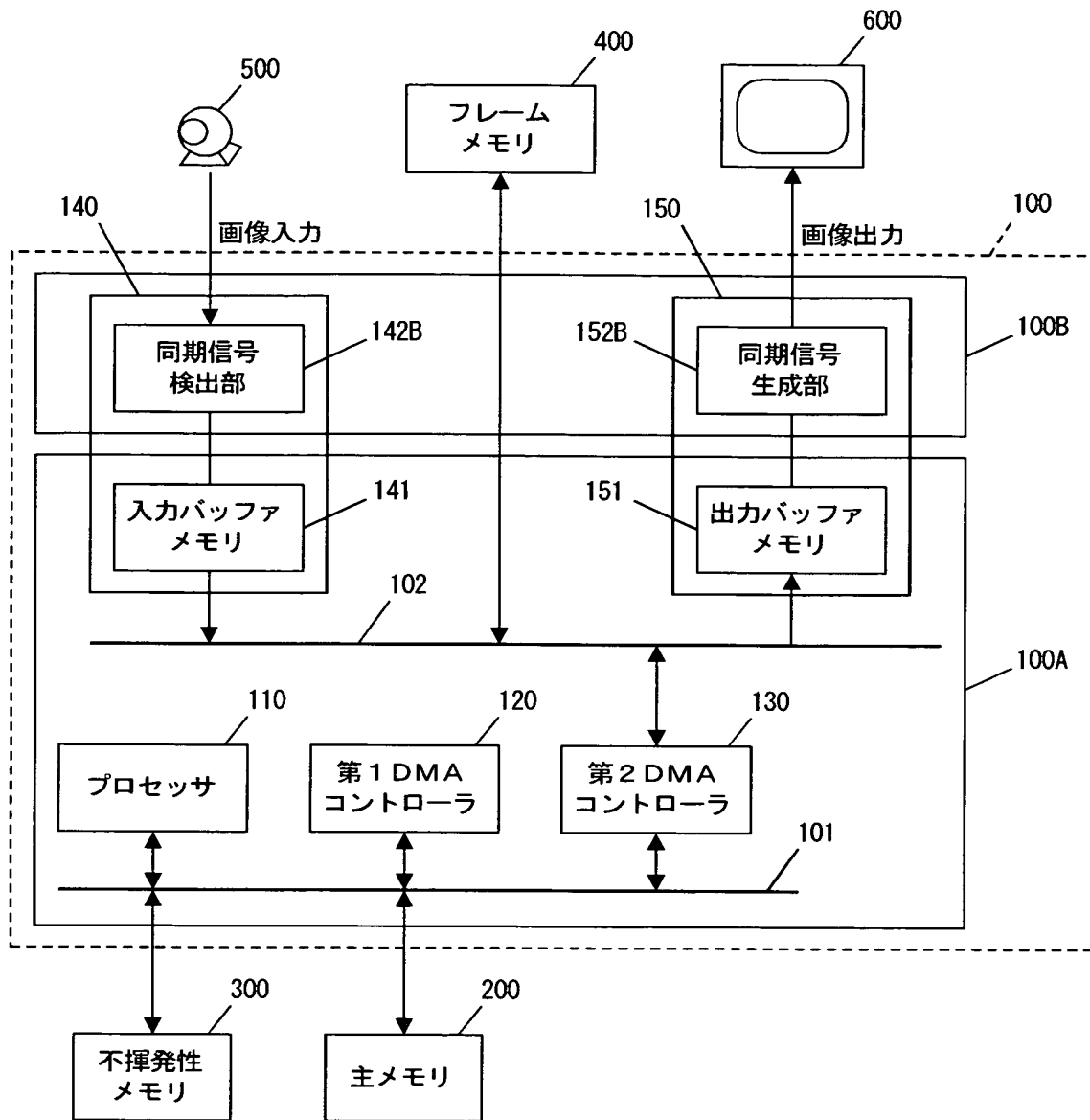


【図 8】

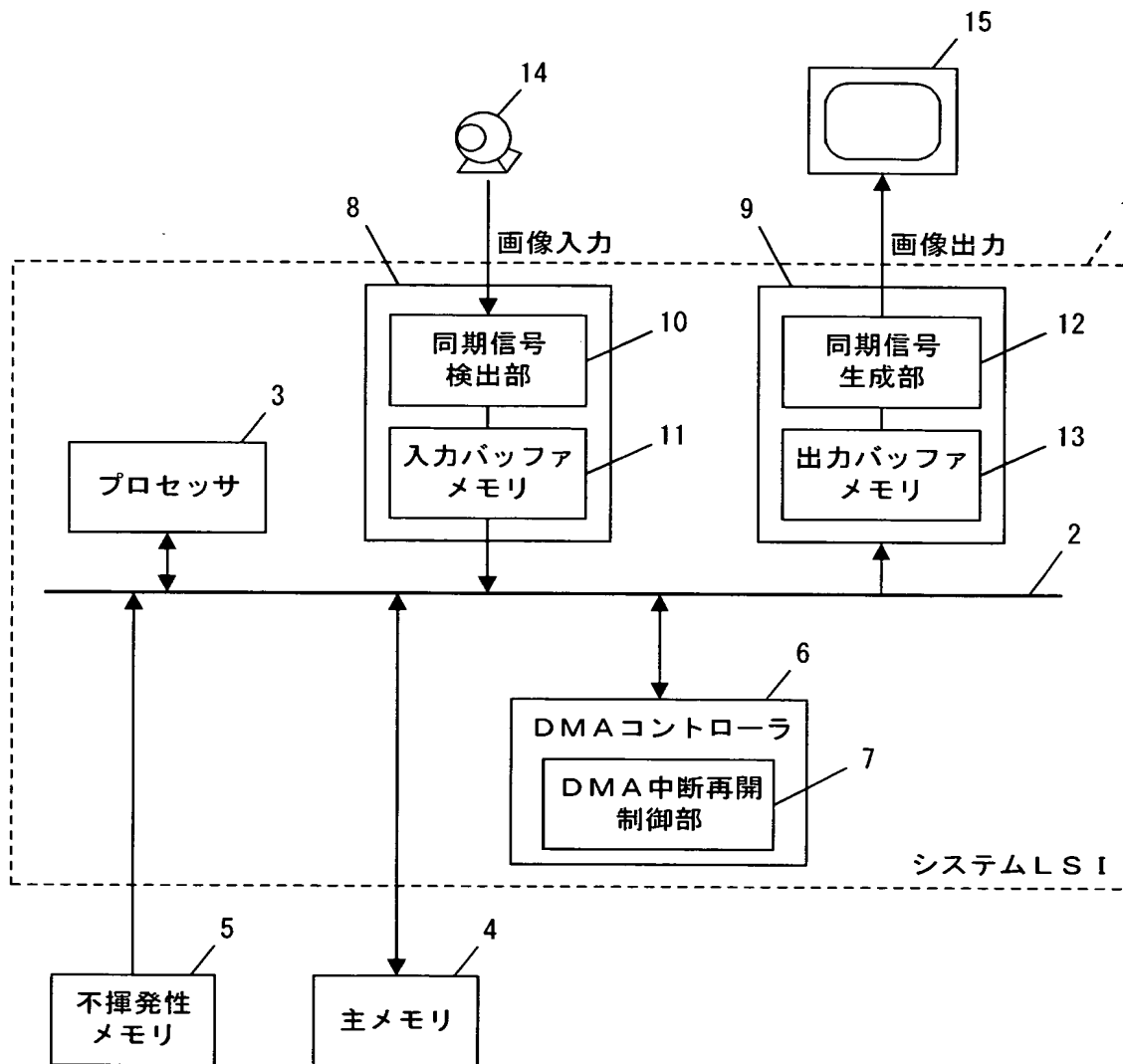




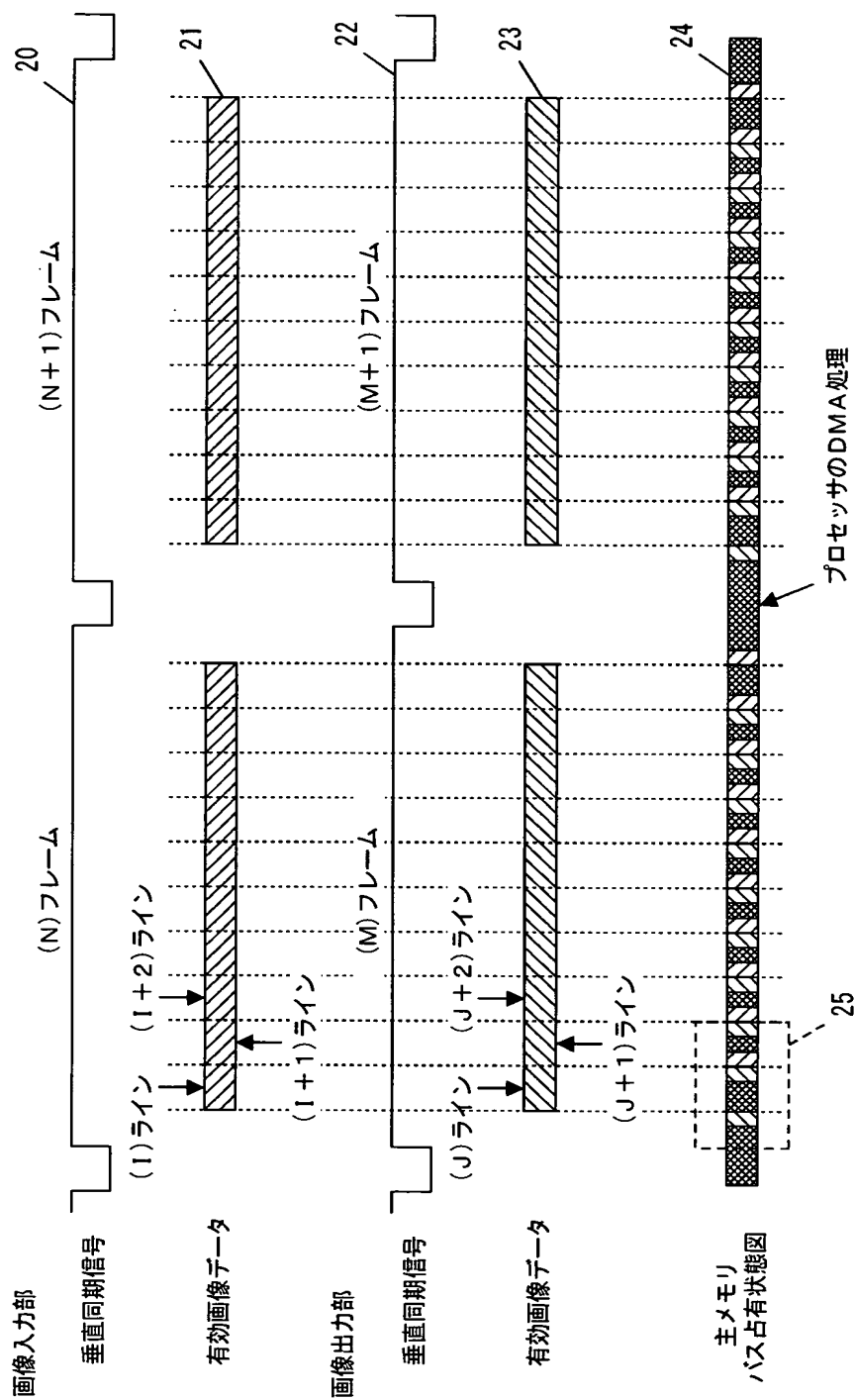
【図 9】



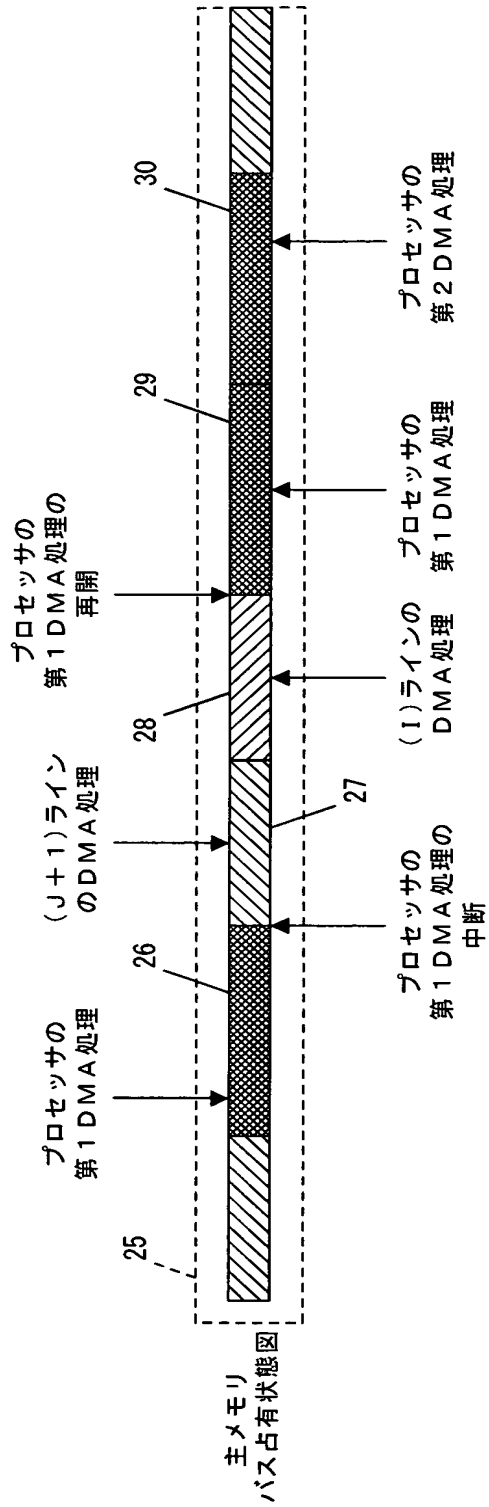
【図10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 緊急処理される画像データ転送と通常処理される画像データ転送の輻輳を回避し、さらに、異なった仕様の画像入力装置や画像表示装置にも容易に対応できる、集積回路及びそれを用いた画像入出力装置を提供する。

【解決手段】 集積回路100は、第1バス101と第1DMAコントローラ120に加えて、第2バス102と、第1バス101と第2バス102とを接続する第2DMAコントローラ130とを備え、主メモリ200は第1バス101に接続され、フレームメモリ400は第2バス102に接続されている。これにより、画像入力装置500及び画像表示装置600とフレームメモリ400との間の画像データ転送（緊急処理データ転送）と、主メモリ200とフレームメモリ400との間の画像データ転送（通常処理データ転送）の輻輳を回避できる。

【選択図】 図1

特願 2 0 0 3 - 1 1 6 0 5 0

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社